

2-85826

Mar. 27, 1990
DISPLAY PANEL

ANS: 1

INVENTOR: HIDEAKI YAMAMOTO, et al. (4)
ASSIGNEE: HITACHI LTD, et al. (60)
PPL NO: 63-236403
DATE FILED: Sep. 22, 1988
PATENT ABSTRACTS OF JAPAN
BS GRP NO: P1064
BS VOL NO: Vol. 14, No. 286
BS PUB DATE: Jun. 20, 1990
NT-CL: G02F 1/136; H01L 27/12; H01L 29/784

ABSTRACT:

PURPOSE: To lower a gate wiring resistance and to prevent a short circuit by using Al or a metal comprising primarily Al for a gate electrode and a gate wiring, and using an anodic oxidation film of Al or a metal comprising primarily Al for at least one of insulating films in a gate part and a wiring intersecting part.

CONSTITUTION: The display panel is constituted by placing a thin film transistor TFT in an intersection of plural pieces of gate wirings 13, 14 and plural pieces of signal wirings 15, 15' which intersect with said wirings on an insulating substrate 1. Al or a metal comprising primarily Al is used for these gate wirings 13, 14 and a gate electrode 2 of the TFT, and at least one of insulating films in a TFT part A area and a wiring intersecting part area B is an anodic chemical conversion film of Al, Zn, Cu, Ni, Co, Fe, etc. In such a way, by providing locally the anodic chemical conversion film, a gate wiring resistance can be suppressed low, an inter-electrode short circuit in the TFT part and the wiring intersecting part is not generated, and the display panel of a high yield and a high performance can be obtained.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-85826

⑬ Int. Cl.³

G 02 F 1/136
H 01 L 27/12

識別記号

5 0 0

A

庁内整理番号

7370-2H
7514-5F
8624-5F

⑭ 公開 平成2年(1990)3月27日

H 01 L 29/78 3 1 1 A※
審査請求 未請求 請求項の数 15 (全11頁)

⑮ 発明の名称 表示パネル

⑯ 特 願 昭63-236403

⑰ 出 願 昭63(1988)9月22日

⑱ 発 明 者 山 本 英 明 東京都国分寺市東恋ヶ丘1丁目280番地 株式会社日立製作所中央研究所内
⑲ 発 明 者 塚 田 俊 久 東京都国分寺市東恋ヶ丘1丁目280番地 株式会社日立製作所中央研究所内
⑲ 発 明 者 松 丸 治 男 東京都国分寺市東恋ヶ丘1丁目280番地 株式会社日立製作所中央研究所内
⑲ 発 明 者 田 中 靖 夫 東京都国分寺市東恋ヶ丘1丁目280番地 株式会社日立製作所中央研究所内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 小川 勝男 外1名
最終頁に続く

明 細 書

1. 発明の名称

表示パネル

2. 特許請求の範囲

1. 絶縁性基板上に形成された複数本のゲート配線と、これと交差して配線された複数本の信号配線と、前記ゲート配線と信号配線との交点に薄膜トランジスタを配置してなるTFT基板を有する表示パネルにおいて、前記ゲート配線および前記薄膜トランジスタのゲート電極がAⅡもしくはAⅢを主成分とする金属からなり、前記薄膜トランジスタのゲート部および配線交差部における絶縁膜のうち少なくとも一が主成分金属の陽極化膜を含むことを特徴とする表示パネル。
2. 前記ゲート部および配線交差部における絶縁膜がいずれも主成分金属の陽極化膜を含むことを特徴とする請求項1記載の表示パネル。
3. 付加容量を形成する絶縁膜がAⅡもしくはAⅢを主成分とする金属の陽極化膜を少なく

とも含むことを特徴とする請求項1または2記載の表示パネル。

4. 前記薄膜トランジスタのゲート絶縁膜が前記陽極化膜と前記陽極化膜と異なるもう一つの絶縁膜との積層膜であることを特徴とする請求項1、2または3記載の表示パネル。
5. 前記薄膜絶縁膜が窒化シリコン膜であることを特徴とする請求項4記載の表示パネル。
6. 前記薄膜絶縁膜が酸化シリコン膜であることを特徴とする請求項4記載の表示パネル。
7. 前記薄膜トランジスタの活性層を構成する材料が水素化非晶質シリコンであることを特徴とする請求項1ないし6の任一に記載の表示パネル。
8. 前記配線交差部の電極間膜が前記陽極化膜、異種絶縁膜、水素化非晶質シリコン膜からなることを特徴とする請求項1ないし7の任一に記載の表示パネル。
9. 前記配線交差部の電極間膜が前記陽極化膜、前記異種絶縁膜からなることを特徴とする請求項1ないし7の任一に記載の表示パネル。

10. 前記付加容量を形成する前記電極膜が前記陽極化膜、前記異種絶縁膜、前記水素化非晶質シリコン膜からなることを特徴とする請求項1ないし9の一に記載の表示パネル。
11. 前記付加容量を形成する前記電極膜が前記陽極化膜、前記異種絶縁膜からなることを特徴とする請求項1ないし9の一に記載の表示パネル。
12. 前記ゲート配線を全て前記陽極化膜で被覆したことを特徴とする請求項1ないし11の一に記載の表示パネル。
13. 前記陽極化膜を前記陽極トランジスタのゲート部、前記配線交差部、前記付加容量部の少なくともいずれかにのみ行うことを特徴とする請求項1ないし11の一に記載の表示パネル。
14. 前記陽極化膜の膜厚が500Å以上であることを特徴とする請求項1ないし13の一に記載の表示パネル。
15. 前記陽極化膜が層石膜を含むグリコール層膜、を化成液として行われることを特徴とする請求

ゲート絶縁膜であるSiNを形成する過程で腐食しないことが条件になる。この条件としてはCrが適している。一方、ゲート配線は抵抗の低いことが要求される。CrはAlと比較して固有抵抗率が一桁以上高く、ゲート配線には適していない。逆にAlはヒロックが発生しやすく、表面に針状に凸形になった欠陥ができやすい。さらにゲート絶縁膜であるSiN（通常、プラズマCVD法で基板温度200～350℃で堆積される）の形成工程でこのヒロックが成長するという問題点があり、ゲート電極に使えない。したがって、従来はゲート電極にCr、ゲート配線にはCrとAlの2層構造の金属を用いていた。さらに従来構造の問題点を挙げるならば、第4図より明らかなようにゲート電極（22）・配線28とドレイン電極・信号配線29、ソース電極26との間にはゲート絶縁膜であるSiN（24）とa-Si（25）とが介在し、これがゲート電極（22）とドレイン電極（29）、ソース電極26とを電気的に分離している。しかし、SiNおよびa-Siとも

項1ないし14の一に記載の表示パネル。

3. 発明の作例な説明

（産業上の利用分野）

本発明は液晶表示装置等を利用できる表示パネルに係り、特にその特性向上、歩留向上を可能にする構造および製造方法に関する。

（従来の技術）

従来の表示パネル（例えば液晶パネル）では第4図に示すような構造が用いられていた。図4において、21は基板、22はCr、23はAl、24はSiN、25はa-Si、26はソース電極、28はドレイン電極を兼ねる信号配線、27は透明電極からなる画素電極を示す。

図4に示すように従来はゲート電極にCrを用い、ゲート絶縁膜にはSiNが用いられている。一方、ゲート配線にはCrとAlとの2層の金属が使用されている。このようにゲート電極とゲート配線とが異なる材料で形成されている理由を以下に説明する。先ず、ゲート金属22は基板との接着性が高いこと、表面に凹凸がないことと、

通常、厚膜であるため（SiN～0.3μm、a-Si～0.2μmが多層されている）と、プラズマCVD法で形成しているために膜にゴミが原因のピンホールが発生しやすく、ゲート電極・配線とその他の電極・配線との、1が短絡するため、表示パネルの製作上大きな障害となつている。以上、説明したように従来は

①ゲート電極とゲート配線に異なる材料が用いられていた。これは工程の増加をもたらしていた。

②ゲート電極・配線とその他の電極・配線との間が短絡しやすかつた。これは歩留低下の原因となる。

一方、周知の技術として、TaやAlの陽極化成技術がある（例えば電気化学便覧（丸井）昭和39年12月発行、第874頁～第892頁参照）。これは金属の表面を電気化学的に酸化する技術であり、従来、キャパシタや潤滑コートに使われているものである。

この技術による酸化膜（絶縁膜）の利点はゴミ

による欠陥が生じにくい点にある。このため、この技術を用いた従来技術がある(特開昭58-147069号参照)。

尚、本発明に関連する従来技術としては、陽極酸化に関するものとして特開昭53-164号、異接容量の電極あるいは誘電体に関するものとして特開昭58-90770号、特開昭58-93092号をあげることもできる。

(発明が解決しようとする課題)

上記従来技術はプロセスの陽極酸化、ゲート電極・配線とその他の電極との短絡あるいはゲート配線抵抗等の点について配慮がなされておらず、表示パネルの特性、歩留、コストの面で問題があった。

本発明はこれらの問題を解決する技術を提供することを目的とする。すなわち、簡単なプロセスで、ゲート配線抵抗を低くし、上記短絡を防止し、しかも誘電体トランジスタの特性および表示パネルの特性を向上することを實現し得る技術を提供するものである。

(課題を解決するための手段)

る。

2. 特にA₁-S₁、A₁-P₁を用いればさらにヒロツクのない平坦なゲート電極・配線、付加容量電極が得られ、より歩留の良いパネルが製作できる。

3. さらに、これらの絶縁膜の上にプラズマCVD法によるSiNもしくはSiO₂を堆積して2層構造とすることにより、短絡を防止すると同時にTFTのしきい値を安定にすることができる。

4. ゲート電極・配線(端子部)および付加容量部以外に存在する部分の金属膜をすべて酸化することにより、ゲート電極・配線の履歴を低くするとともに、基板保護膜を形成することができ、より高信頼の表示パネルを得ることができる。

5. 陽極酸化を局所的に行なうことにより、配線抵抗をさらに小さくすることができる。

(実施例)

第5例にTFT基板上の2割割分に対応する部分

上記目的を達成するために、ゲート電極、ゲート配線および付加容量の電極にA₁もしくはA₂を主体とする金属を用い、また、ゲート絶縁膜、付加容量の誘電体膜、配線交差部の層間絶縁膜のうち少なくとも一に上記金属の欠陥のない陽極酸化膜を用いる。上記ゲート絶縁膜、付加容量の誘電体膜、配線交差部の層間絶縁膜のすべてに上記陽極酸化膜を用いるのがより好ましい。

(作用)

A₁もしくはA₂を主体とする金属膜をゲート電極・配線、付加容量部に用い、これを陽極酸化することによつて、その表面はA₁、A₂O₃で被覆される。これにより、次の技術的特徴が生じる。

1. 通した陽極酸化膜を用いることにより、平坦で欠陥のない酸化膜(絶縁膜)でゲート電極・配線および付加容量部を被覆することができる。

したがって、ゲート配線抵抗を低くでき、

かつゲート電極・配線および付加容量部における他の電極および配線間の短絡を防止でき

回路図を示す。(a)は付加容量がない場合、

(b)は隣接したゲート配線との間に付加容量を形成した場合、(c)は自設のゲート配線との間で付加容量を形成した場合を示す。(d)は隣接したゲート配線との間に付加容量を形成する場合の別の例を示す。同図において、30はゲート配線、31は隣接したゲート配線、32は誘電体トランジスタ、33は液晶表示部、G、S、Dは各々誘電体トランジスタのゲート、ソース、ドレインである。34は対向電極、35は配線交差部、36は付加容量、37、38は信号配線である。例としてこの第5例(b)の回路に対応するゲート電極、ゲート配線、付加容量電極のレイアウト図の一例を第6図に示す。ここでは隣接の画素が隣ピッチの例を示しているが、半ピッチずらしたレイアウトでも本技術は全く同様に使用できる。

また、ここではゲート部(A)、配線交差部(B)が分離している例を示したが、分離していても良い。絶縁性基板の上にA₁もしくはA₂を主体とする金属を形成し、ホトエッチング工程

により、例えば、第8図のようにパターン化する。この一図のホトエッチング工程によりゲート配線30、ゲート電極(領域A)、付加容量電極(領域C)が形成できる。続いて、局所酸化を行ない上記パターン化された金属の表面に酸化アルミ(Al_2O_3)を成長させる。TFT基板において特に Al_2O_3 膜が必要な部分は第8図に示したようにゲートトランジスタ部(A)配線交差部(B)、付加容量部(C)の3ヶ所である。

1回の局所酸化でこれらの必要な部分に Al_2O_3 を形成するのも本発明の特徴である。これらの部分においては上記配線30と信号配線あるいは漏洩電極とが重なった構造となり、層間絶縁膜あるいは誘電体膜が必要となるためである。

従つて、ここで必要とされる Al_2O_3 膜としては欠陥のない、リークの小さなことが要求される。

局所酸化はウエットプロセスであるため、ゴミなどの異物付着に対して影響を受けにくく、欠陥のない酸化膜を持やすい特徴があるが、酸化膜の構造やリーク特性に対しては化成液に大きく左右

される。このため、化成液の選択が重要である。

Al を局所酸化した場合、大別して2種類の Al_2O_3 膜が得られる。ひとつは多孔質の Al_2O_3 であり、他のひとつは無孔質のものである。前者は化成液としてリン酸、硫酸のような強酸系の液で、後者は硝酸、酒石酸のような弱酸系で得られることは周知(上述の電気化学便覧等)の通りである。本発明の目的のためには後者の無孔質のものが適している。しかし弱酸系の液を用いた場合に得られる無孔質の Al_2O_3 にもその表面の粗れ方に差異のあることがわかった。例えば化成液として、主として濃度数%の酒石酸水溶液を用いた場合、得られる Al_2O_3 の表面には数百人程度の凹凸が生じる。この凹凸は図7に α_1 で示すように Al_2O_3 の耐圧およびリーク特性を著しく損なうものであり望ましくない。この酒石酸を例えばエチレングリコールもしくはプロピレングリコールで希釈した $PH 7.0 \pm 0.5$ の化成液を用いることによつて、この凹凸をなくせることがわかった。凹凸のない Al_2O_3 は図7に α_2 で示すよう

に極めて良好な耐圧特性、リーク特性を有することがわかった。エチレングリコールとプロピレングリコールとの比較では、前者の方が通常の半導体プロセスで汎用されており入手しやすいこと、液の安定性が良いことなどの観点から見てより望ましい。 Al_2O_3 膜をゲート絶縁膜として単独で使用することもできるが、しきい値電圧のドリフトを小さくするためには窒化シリコン膜(SiN 膜)や酸化シリコン膜(SiO_2 膜)との積層膜にすることが有効である。 SiN 膜や SiO_2 膜は活性層である $\alpha-Si$ と連続形成ができるので潤滑な界面が得やすいからである。一方、 SiN 膜や SiO_2 膜の形成には通常、200℃以上の温度を必要とするが、 Al 電極の場合この温度でヒロックが発生し表面が粗れる。しかしながら、 Al 表面を Al_2O_3 膜で被覆した場合には、このヒロック発生が抑止される。

さらに Al_2O_3 の絶縁特性を良くするには Al_2O_3 形成後熱処理することが有効である。第8図に Al_2O_3 のリーク電流と熱処理温度との関

係を示す。熱処理温度としては200℃で400℃が望ましい。これ以上高温になると Al 膜に剥離が生じる。

ここで重要なことは Al_2O_3 の膜厚である。ゲートトランジスタの相互コンダクタンス g_m から例えばゲート絶縁膜は薄い程良い。一方、厚くなれば絶縁耐圧が下がる。第9図に Al_2O_3 膜厚と耐圧(V_b)の関係を示す。通常の液晶パネルではゲートとドレイン(信号配線)間には最大25V程度の電圧が印加される。したがつて Al_2O_3 膜厚としては500Å以上が必要である。これはゲート絶縁膜を Al_2O_3 と SiN や SiO_2 との2層の構造にした場合でも同じである。 SiN 膜や SiO_2 膜にピンホールが生じた場合、電圧は Al_2O_3 のみに印加されるからである。

以上、ゲート電極・配線に純 Al を用いる場合について説明したが、純 Al は極めて活性な金属であり、真空中で形成する場合に再現性が得にくいこと、また、通常のホトエッチングプロセスに必要な百数十度の温度でもヒロックが発生しや

すく突起状の面になりやすい等の欠点を有する。これらの欠点はS₁あるいはPdを数%以下の重量混入したA₁を用いることにより解消できる。このA₁-S₁あるいはA₁-Pd材料も前述した方法により全く同様に陽極化成でき、同じ特性のA₁O₃膜が得られることがわかった。したがってA₁-S₁材料あるいはS₁-Pdも同様に全く同様にパネルに適用できる。

さらに、ゲート電極・配線として2層構造の金属を用いた場合の例を第8図に示す。この例は2層の金属に同様の金属を用いた場合であり、ここではA₁を示している。ゲート電極・配線41として第1のA₁をパターン化し、その上にすべてA₁O₃に覆えてしまうための第2のA₁42を全面に堆積する。その後、陽極酸化によりこの第2のA₁をすべてA₁O₃43にする。A₁O₃膜は透過率80%以上の透明体であり、しかも基膜からの不純物を阻止するための層として使用でき、基膜の保護膜としても利用できるものである。したがって、この方法により、ゲート電極

用のA₁O₃、配線被覆用のA₁O₃、不純物阻止層、基膜保護層を同時に一回の陽極酸化で得ることができる。さらにゲート電極・配線の吸着をA₁O₃の膜厚分だけ小さくできる利点もある。この手法はA₁-S₁、A₁-Pdでも同様に利用できることは勿論である。

以上の説明ではゲート電極・配線、付加容量部の表面を全て陽極酸化する場合について述べたがゲート電極・付加容量部およびゲート配線部と信号線との交差部のみを局部的に陽極酸化しても良いことは勿論である。この場合、第5図で示したように前記A₁もしくはA₁を主体とした金属をパターン化してゲート配線30を形成した後ホトレジストを全面に塗布した後、領域(A)、(B)(C)の部分のレジストを除去した状態で陽極酸化を行う。この場合、レジストの耐圧特性から(耐圧以上の電圧が印加されると、A₁が放電のため消失する)、化成電圧を高くすることは適当ではなく150V(この時A₁O₃膜厚は約2100Å)以下が望ましい。より望ましくは120V

(この時A₁O₃膜厚は約1500Å)以下が良い。

このように局部的に陽極酸化することによって配線抵抗をさらに低くすることが可能になる。

〈実施例1〉

第1図を用いて説明する。第1図(a)は本実施例による薄膜トランジスタアレイ基板の断面を示し、第1図(b)は平面を示す。両図において、1は絶縁性基膜、2はA₁、3はA₁の陽極化成膜(A₁O₃)、4は窒化シリコン(1)、5は水素化非晶質シリコン膜、6は窒化シリコン膜(2)、7はリンドープ水素化非晶質シリコン膜、8はC₁膜、9はA₁膜、10は透明電極、11は保護膜、12はゲート配線バスライン、13、14はゲート配線、15、15'は信号線(薄膜トランジスタのドレイン電極をも兼ねる)。AはTFT部の陽極化成領域、Bは配線交差部の陽極化成領域を示す。

絶縁性基膜1上にA₁を1700Å膜厚に熱蒸着もしくはスパッタ蒸着により形成し、パターン化して、ゲート配線バスライン、ゲート電極およびゲ

ート配線2を形成する。この時、各ゲート配線13、14はゲート配線バスライン12に接続しておく。ゲート配線バスラインは同じA₁で形成するものであり、陽極化成時の電圧供給ラインとして使用する。その後、ホトレジストを3.0μm塗布し、ホトエッチングプロセスにより、第1図(b)に破線で囲んだ領域A、Bの部分のレジストを除去する。領域AはTFTの部分、Bは配線交差部である。第1図(a)の断面図は第6図のa-a'およびb-b'の部分に対応する。

この状態で、基板を化成液に浸し、ゲート配線バスラインに+72Vの電圧を供給する。約30分後領域A、BにあるA₁の表面に約1000ÅのA₁O₃膜3が得られる。この時A₁1700Åの内700Åが酸化される。化成液としては3%酒石酸溶液をエチレングリコールもしくはプロピレングリコールで希釈し、アンモニア水を加えてpH7.0±0.5に調整した溶液を用いる。このように局部的に陽極酸化することにより、ゲート配線13、14の大部分のA₁が陽極化成されず

に研むため、配線抵抗を低くおさえることができる。また、 Al と Al_2O_3 の選択エッチング技術も不要となる。レジストを除去した後、大気中あるいは真空中で $200\sim400^\circ\text{C}$ で60分加熱する。この加熱によつて Al_2O_3 のリーク電流が一桁以上減少する。この上にプラズマCVD法により、第1の窒化シリコン4を $1000\sim3000\text{\AA}$ 、水素化非晶質シリコン($\alpha\text{-Si}$)5を $200\sim1000\text{\AA}$ 、第2の窒化シリコン6を $1000\sim2000\text{\AA}$ 増設する。この時、基板温度は $150\sim320^\circ\text{C}$ を多用する。その後、第2の窒化シリコン6をパターン化し、TFTのチャネル上に配線交差部のみに残す(第1図(a))。

リンを $0.6\sim2.5\%$ ドーピングした非晶質シリコン($\alpha\text{-Si}$)7を $200\sim600\text{\AA}$ 増設し、パターン化してTFTのソース・ドレイン部のみに残す。この時 $\alpha\text{-Si}$ 5も同時に除去する。 Cr 8を $500\sim1000\text{\AA}$ 、 Al 9を $3000\sim4000\text{\AA}$ 低抵抗加熱層あるいはスパッタ層にて増設し、パターン化して、信号線15、TFTのドレイン

ソース電極等を形成する。この Al 9)加工時に先に形成したゲート配線バスラインを除去し、各々のゲート配線を分離する。次に酸化インジウムよりなる透明電極10を約 1000\AA スパッタ層により増設しパターン化して、副電極、端子等を形成する。

最後にプラズマCVD法により窒化シリコン11を約 1\AA 増設し、ホトエッチングプロセスにより端子部上の窒化シリコンを除去して、薄膜トランジスタアレイ基板が完成する(第1図)。

この基板と対向基板とを合わせ、間に液晶を封止することにより、表示パネルが完成する。

こうして得られた表示パネルはゲート配線抵抗が低く、TFT部、および配線交差部での電極間短絡がなく、また、 Al_2O_3 の比抵抗率は 8.7 と窒化シリコンの 6.9 より 25% 高く、この分、TFTの α_m が向上し、付加容量部の面積が小さくでき透過率が向上した。このように、高歩留、高性能の表示パネルを得た。

ここではゲート配線配線として Al を用いた場

合の例で示したが、 Al の代わりに Si を $1\sim3\%$ 含んだ Al-Si さらには Pd を微量含んだ Si-Pd でも全く同様に使用できる。また、信号線に Al/Cr を用いたが Al の代わりに先の Al-Si 、 Al-Pd を使用できる。さらに、 Cr は必ずしも必要ではない。

本実施例では局部的に結晶酸化したが、端子部を除いて全面結晶酸化しても良いことは勿論である。また、本実施例ではTFT領域Aと配線交差領域Bとを分離して示しているが領域Aと領域Bとは連続した領域であっても良い。

〈実施例2〉

本実施例は結晶化成膜を薄膜トランジスタのゲート絶縁膜、配線交差部及び付加容量部での絶縁膜の少なくとも一部に使用するものである。

第2図、第3図を用いて説明する。第2図(a)は本実施例によるTFT素子の断面を示し、第2図(b)は平面図を示す。第3図は各工程における断面図を示す。各図の記号は実施例1と同様である。

本実施例は第2図(b)中に破線で示した領域Cが存在している点のみが実施例1と異なる。領域Cは第5図で説明したように副電極10と隣接するゲート配線とで容量を形成する部分である。

製法は実施例1の場合と全く同様である。第1

図(a)は結晶化成膜の断面を、(b)は第1

窒化シリコンBをパターン化した時の断面を、

(c)は $\alpha\text{-Si}$ 層をパターン化した時の断面を、

(d)は Cr 8および Al 9をパターン化した時の断面を、(e)は副電極10をパターン化した時の断面を各々示す。

第2図(a)に示すように付加容量の誘電体としては Al_2O_3 と窒化シリコン膜との2層構造としているが、 Al_2O_3 と窒化シリコン膜は選択エッチがしやすいため、 Al_2O_3 のみを誘電体として使用できることは勿論である。

〈実施例3〉

実施例1、2では Al_2O_3 の上に窒化シリコン膜を形成する場合について述べたが、実施例1、2で窒化シリコンの代わりに SiO_2 を使うこと

ができる。

SiO_2 は次の方法で形成する。 SiH_4 と N_2O とを主成分とする混合ガスを用いたプラズマCVD法にて膜厚1000~3000Åの SiO_2 膜を形成する。基板温度は200~300℃とする。この SiO_2 膜を用いた場合の構造は第1図および第2図の窒化シリコン膜4が SiO_2 膜になるところのみが違ふ。その他は実施例1、2と全く同様である。

〈実施例4〉

実施例1、2ではプラズマCVD法により Al_2O_3 膜の上に第1の窒化シリコン、非晶質シリコン、第2の窒化シリコンの順に堆積したが、本実施例では第2の窒化シリコンを使用しない。第11図を用いて説明する。第11図は第6図で示した薄膜トランジスタ部(領域A)、配線交差部(領域B)、付加容量部(領域C)に対応する部分の断面図を各々(a)、(b)、(c)に示したものである。図の記号は第2図と同様である。平面レイアウトは第2図と同様である。

10を形成する。このITO電極はAlの上に全域に覆しても良い。これで第11図に示した断面構造を持つTFT素子が完成する。この上に保護膜(窒化シリコン約1μm)を形成し、後は実施例1と同様の方法でパネルが完成する。

配線交差部と付加容量部はこの構造のみでなく、例えば第11図(b')、(c')のような構造をとることができる。(b')は配線交差部の周囲絶縁膜を Al_2O_3 のみにした例、(c')は付加容量部の絶縁体を Al_2O_3 のみにした例を示したものである。このように Al_2O_3 、 Si_3N_4 もしくは SiO_2 、 $\alpha\text{-Si}$ のどれを積み込むかはマスクを交換することによって選択できることは勿論である。

本実施例では非晶質シリコンとリンドーブ非晶質シリコン膜とが連続で形成でき、薄膜トランジスタの特性が安定できることが特徴となる。

ここでは付加配線にCrとAlとの2層膜を使用した。Alのみでも良い。

〈実施例5〉

絶縁性基板1上にAlもしくは $\text{Al}(\text{Si}3\%)$ 、 $\text{Al}(0.3\% \text{Pd})$ を2300Å形成する。パターン化して、ゲート電極・配線(付加容量電極も含む)2を形成する。陽極酸化にて、 Al_2O_3 を形成する。化成電圧144Vとする。この時 Al_2O_3 の膜厚は約2000Åとなり、化成されないAl2の膜厚は約1000Åである。この上にプラズマCVD法により窒化シリコンもしくは酸化シリコンを1000~3000Å形成する。続いて、非晶質シリコンを200~2000Å形成する。さらにリンを0.5~2.5%含んだ非晶質シリコンを堆積する。その後ホトエッチングプロセスにて、薄膜トランジスタ部、配線交差部以外の部分の非晶質シリコン膜を除去する。その後、Crを400~1000Å、Alを3000~5000Å形成し、パターン化して、信号配線、薄膜トランジスタのソース・ドレイン電極8、9を形成する。次でこれをマスクにリンドーブ非晶質シリコン7を加工する。その後、酸化インジウム透明電極(ITO電極)を500~2000Åスパッタ法により形成し、図10電極

さらなる実施例を第12図に示す。絶縁性基板60上に第1の Al_2O_3 を1500Å堆積し、パターン化する。その上に第2の Al_2O_3 を700Å全面に堆積する。この状態で実施例1、2と同様、化成電圧72Vで陽極酸化する。これで第2のAlすべてが Al_2O_3 になり、透明の Al_2O_3 になる。以下、実施例1、2と全く同様にパネルを製作する。

本発明の利点は、ゲート段差が小さくできること、 Al_2O_3 膜で基板全面が保護されることである。

以上の実施例では第4図(b)に示した例の場合を示したが、他の場合でも全く同様の技術でパネルが製作できることは勿論である。

(発明の効果)

本発明は以上に説明したようにゲート電極・配線にAlもしくはSiやPdを含むAlを単独または混合膜として用いるため、配線抵抗を低くした上、これらを陽極酸化することによって得られる Al_2O_3 でコートすると同時にこれをゲート絶

1. 容量部の誘電体として利用するため、簡単にプロセスで短縮による不良のない、高性能のパネルが得られた。歩留は従来のSiNのみを用いた場合の倍以上、歩留も25%~100%向上し、歩留率も20%以上向上した。また、Alを用いて層構成することにより、さらに配線抵抗を下げることもできた。また、薄いAlを基板全面に堆積し、これを全てAl₂O₃にすることにより、基板保護膜を同時に形成でき、ゲート段差を減らすこともでき、段差における断線をなくすることもできた。

ここではTFTの活性層として非晶質シリコンについて述べたが、この材料はこれに限るものではなく、TeやポリSi等の材料であつてもよいことは勿論である。

図面の簡単な説明

第1図は本発明の第1の実施例を示す図、第2図は本発明の第2の実施例を示す図、第3図は本発明の第2の実施例の工程を示す図、第4図は従来例を示す図、第5図はTFT基板の部分図解

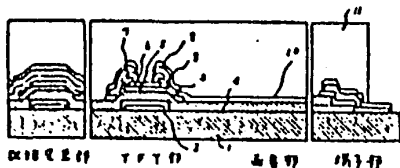
図、第6図は本発明の説明図、第7図は化成膜とリーク特性との関係を示す図、第8図は熱処理の効果を示す図、第9図はAl₂O₃膜厚と耐圧との関係を示す図、第10図は第1のAlと第2のAlとの2層金属を用いた場合の説明図、第11図は本発明の第4の実施例を示す図、第12図は本発明の第5の実施例を示す図である。

1…基板、2…Al (Al-Si)、3…Al₂O₃、4…窒化シリコン(1)、5…a-Si、6…窒化シリコン(2)、7…不純物a-Si、8…Cr、9…Al、10…透明電極、12…ゲート配線バスライン、A…TFT部、13、14…ゲート配線、15…信号線、B…配線交差部、C…付加容量部。

代理人 井馬士 小川 勇

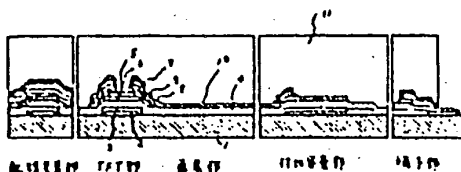
第1図

(A)

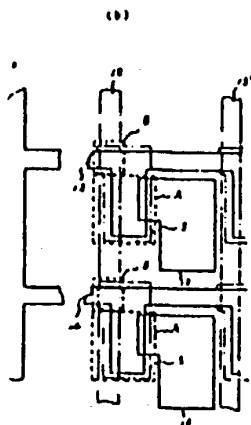


第2図

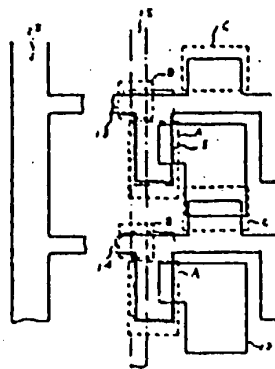
(A)



(A)

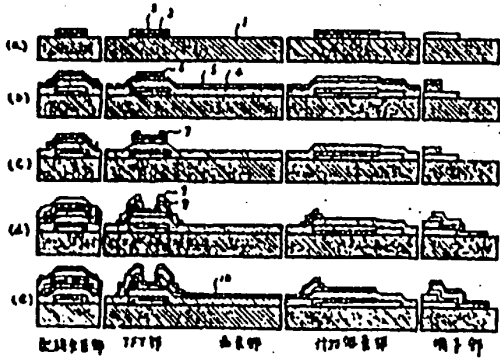


- 1 基板
- 2 Al (Al-Si, Al₂O₃)
- 3 配線バスライン
- 4 窒化シリコン(1)
- 5 a-Si
- 6 窒化シリコン(2)
- 7 不純物a-Si
- 8 Cr
- 9 Al
- 10 透明電極
- 11 付加容量部
- 12 ゲート配線
- 13, 14 信号線
- 15 配線交差部
- A TFT部

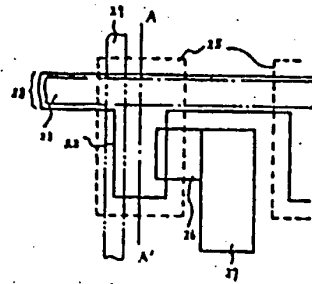


- 1 基板
- 2 Al (Al-Si, Al₂O₃)
- 3 Al₂O₃
- 4 窒化シリコン(1)
- 5 不純物a-Si
- 6 窒化シリコン(2)
- 7 不純物a-Si
- 8 Cr
- 9 Al
- 10 透明電極
- 11 付加容量部
- 12 ゲート配線
- 13, 14 信号線
- 15 配線交差部
- A TFT部

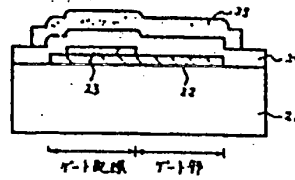
第 3 図



第 4 図
(a.)

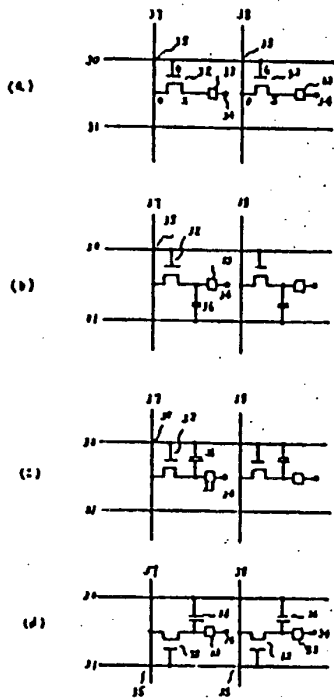


A-A' 断面 (b.)

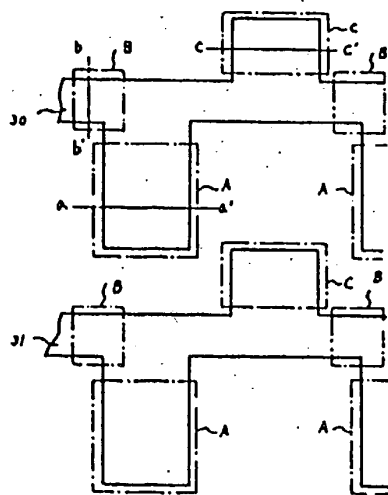


21	基膜	26	2-2電極
22	ゲート電極	27	金属部
23	ゲート絶縁膜	28	T-T電極
24	S.M.	29	信号線
25	E-Si		

第 5 図

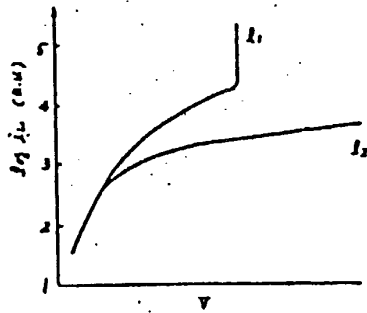


第 6 図

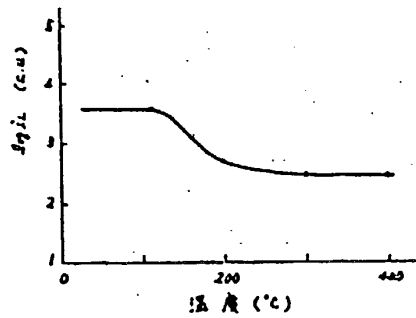


A 溝状トランジスタ部
B 配線交差部
C 付加層部

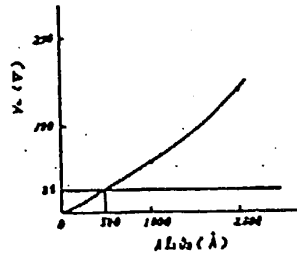
第 7 図



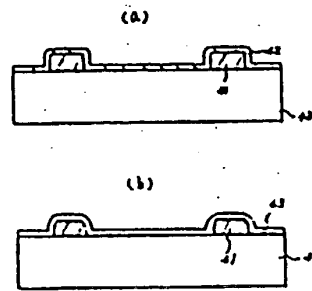
第 8 図



第 9 図

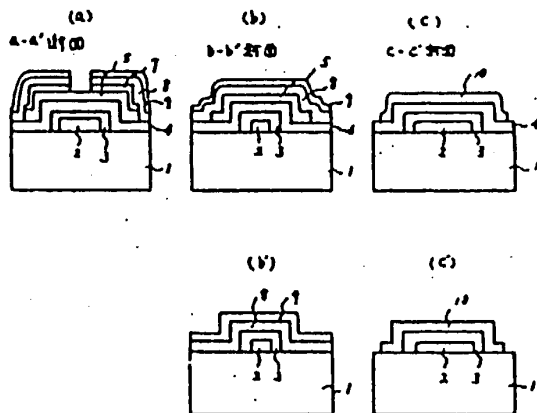


第 10 図



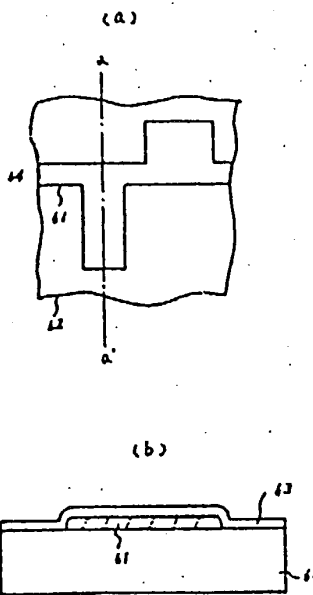
42 蒸膜
41 第1層
43 第2層
40 基板

第 11 図



1 絶縁性基板
2 Al (Al-Si, Al-P)
3 Al₂O₃
4 SiN(SiO₂)
5 SiO₂ 層コン
7 n⁺型 SiO₂ シリコン
8 Cr
9 Al
10 導電絶縁

第 12 図



第1頁の続き

⑨Int. Cl.:

H 01 L 29/784

識別記号

庁内整理番号

⑩発明者 筒井 謙

住

東京都国分寺市東恋ヶ丘1丁目280番地 株式会社日立製
作所中央研究所内

プロセスで短絡による不良のない、(主)のバルが得られた。歩留は従来のSiNのみを用い場合の値以上、 ϵm も25%~100%向上し、歩留率も20%以上向上した。また、Alを局所的に窒素化成することにより、さらに配線抵抗下げることができた。また、薄いAlを基板全面に堆積し、これを全て Al_2O_3 にすることにより、基板保護膜を同時に形成でき、ゲート段差を減らすこともでき、段差における断線をなくすることもできた。

ここではTFTの活性層として非晶質シリコンについて述べたが、この材料はこれに限るものではなく、TeやポリSi等の材料であってもよいことは既述である。

図面の簡単な説明

第1図は本発明の第1の実施例を示す図、第2図は本発明の第2の実施例を示す図、第3図は本発明の第2の実施例の工程を示す図、第4図は従来の技術を示す図、第5図はTFT基板の部分回路

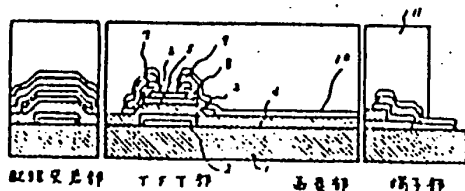
リーク抵抗などの例を示す図、第6図は配線地の効果を示す図、第9図は Al_2O_3 膜厚と耐圧との関係を示す図、第10図は第1のAlと第2のAlとの2層金属を用いた場合の説明図、第11図は本発明の第4の実施例を示す図、第12図は本発明の第5の実施例を示す図である。

1…基板、2…Al (Al-Si、Al-P)、3… Al_2O_3 、4…窒化シリコン(1)、5… $a-Si$ 、6…窒化シリコン(2)、7…不純物 $a-Si$ 、8…Cr、9…Al、10…透明電極、11…ゲート配線バスライン、A…TFT部、13、14…ゲート配線、15…信号線、B…配線交差部、C…付加容量部。

代理人 弁理士 小川豊男

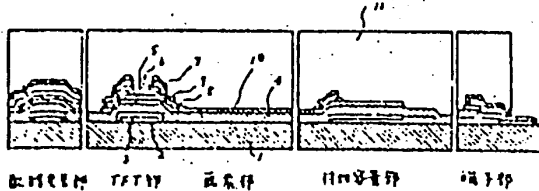
第 1 図

(A)



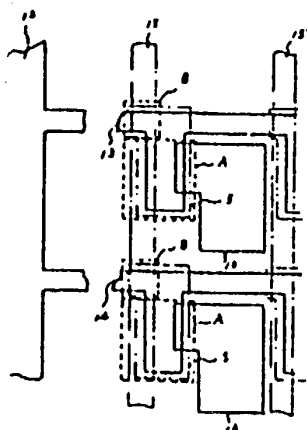
第 2 図

(A)

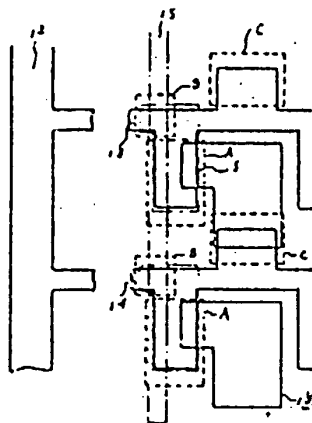


(B)

(C)

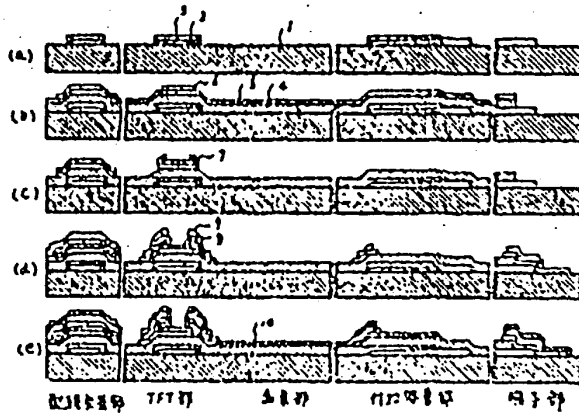


- 1 基板
- 2 Al (Al-Si、Al-P)
- 3 門絶化Al膜 (Al_2O_3)
- 4 窒化シリコン(1)
- 5 非晶質シリコン
- 6 窒化シリコン(2)
- 7 不純物 $a-Si$
- 8 Cr
- 9 Al
- 10 透明電極
- 11 付加容量部
- 12 ゲート配線バスライン
- 13、14 ゲート配線 (15) 信号線 (16) 配線交差部
- A TFT部
- B 配線交差部
- C 付加容量部

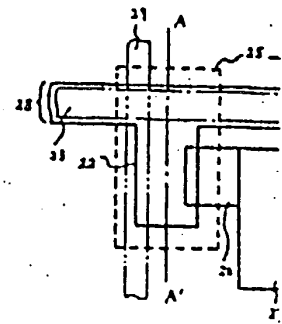


- 1 基板
- 2 Al (Al-Si、Al-P)
- 3 Al_2O_3
- 4 窒化シリコン(1)
- 5 非晶質シリコン
- 6 窒化シリコン(2)
- 7 不純物 $a-Si$
- 8 Cr
- 9 Al
- 10 透明電極
- 11 付加容量部
- 12 ゲート配線バスライン
- 13、14 ゲート配線
- A TFT部
- B 配線交差部
- C 付加容量部

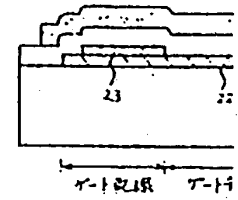
第 3 图



第 4 图
(a)

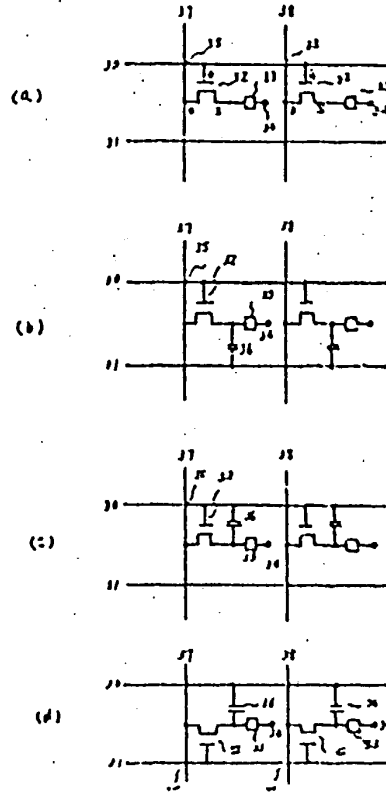


A-A' 剖面 (b)

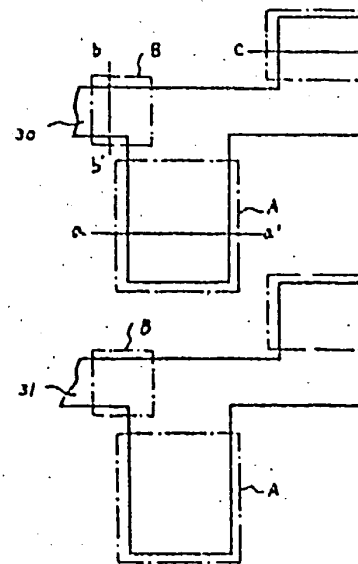


21 S-F
22 C-F
23 A-F
24 S-A
25 A-S

第 5 图



第 6 图



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.